

# TP N°2

## ATPG et SCAN

### Objectifs du TP :

- Utilisation de TETRAMAX de Synopsys
- Génération de vecteurs de test
- Insertion d'une chaîne de Scan

### Exercice 1 :

#### 1. Partie Théorique

Idem exercice 1 du TP N°1.

#### 2. Partie Pratique

Afin d'utiliser l'outil TETRAMAX de Synopsys vous devez lancer la commande (à préciser en salle) afin d'indiquer les chemins relatifs à l'outil. L'outil se lance par la commande `tmax &`. TETRAMAX se présente sous la forme d'une interface graphique présentée sur la Figure 1.

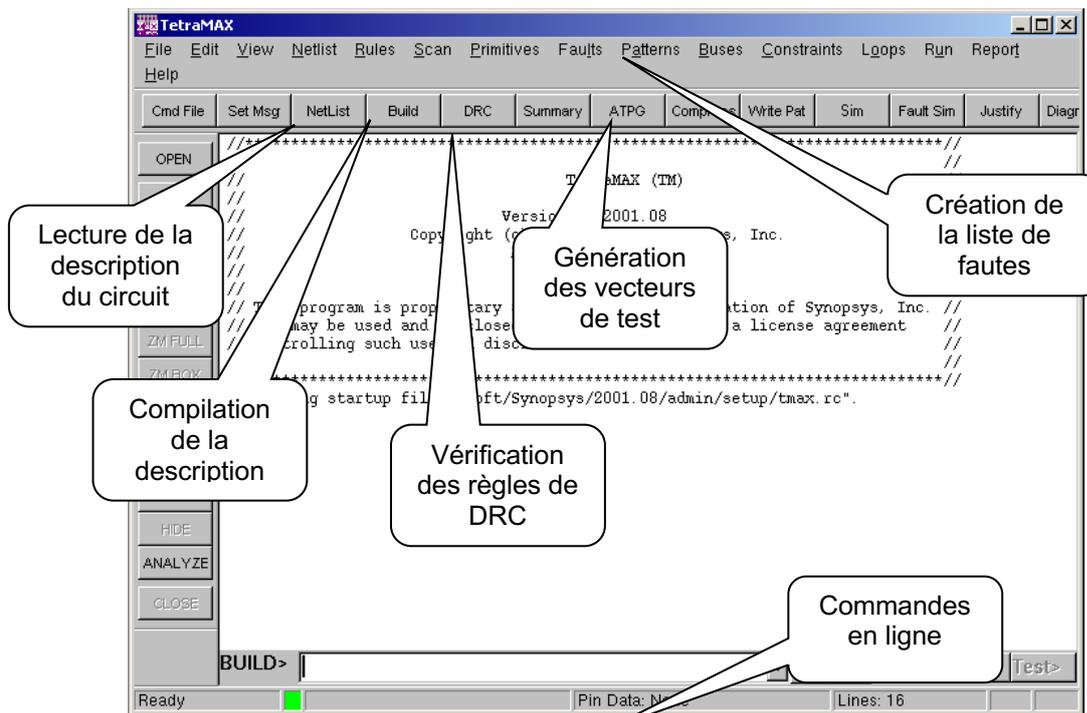


Figure 1 : Interface graphique de TETRAMAX

Le test du circuit présenté précédemment va se dérouler en plusieurs phases :

- Préparation des fichiers : Vous devez copier les descriptions Verilog des circuits et les bibliothèque de portes.
- Lecture de la description du circuit : A l'aide du bouton *NetList* vous obtenez la fenêtre présentée sur la Figure 2. A partir de cette fenêtre, vous devez choisir les fichiers d'entrées, c'est-à-dire la bibliothèque et la description du circuit. Dans un premier temps, vous devez lire le fichier *lib\_comb.v* en cochant *Library Modules*.

Ainsi, le fichier contenant les portes utilisées dans la description du circuit à tester est placé en mémoire. Enfin, vous devez à nouveau cliquer sur *NetList* pour lire votre description Verilog sans cocher *Library Modules*.

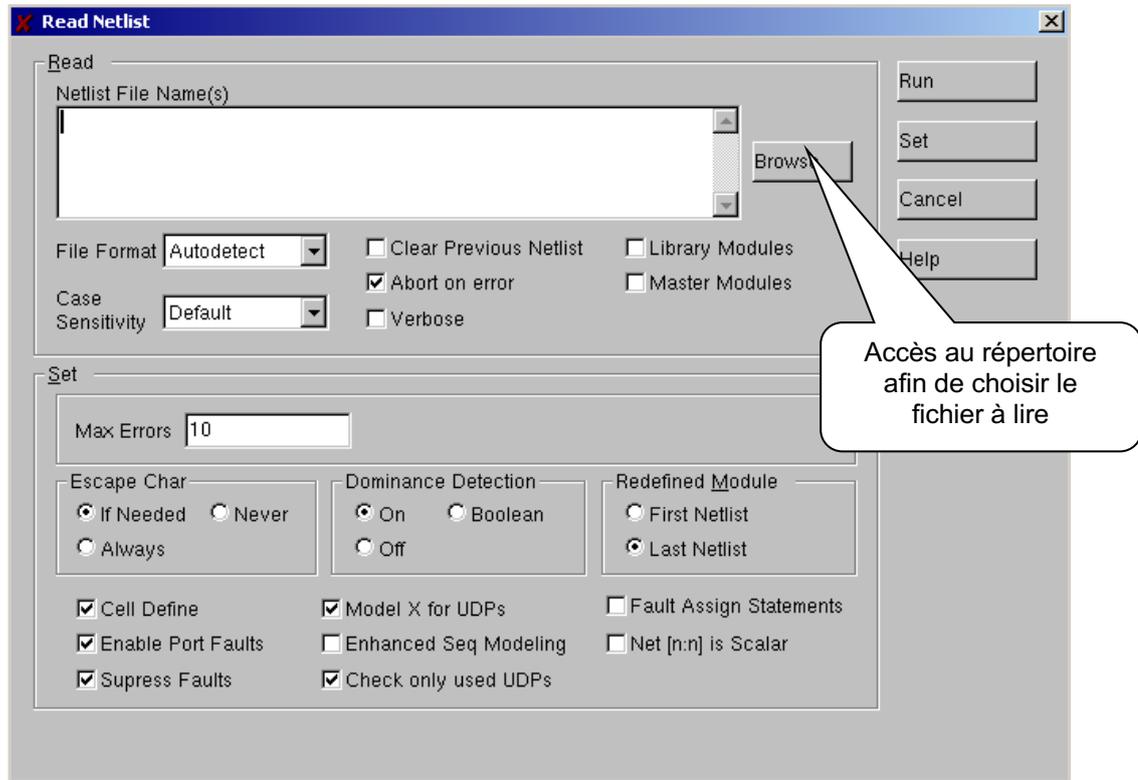


Figure 2 : Fenêtre de lecture de fichier

- Compilation du circuit : Cliquer sur le bouton **Built** pour lancer la compilation de votre description Verilog. Vérifier bien que le nom inscrit dans **Top Module Name** correspond bien au nom de votre circuit.
- Vérification des règles de DRC (Design Rules Checking) : Cette étape ne peut être prise en compte durant ce TP car elle fait appel à des fichiers générés par d'autres outils en amont dans le flot de conception. Cliquer sur **DRC** puis **OK** afin de passer l'étape permettant d'accéder au test.

A partir de cette étape, vous pouvez visualiser le circuit. Pour cela, cliquer sur le bouton **OPEN GSV** puis **SHOW All**.

- Modèle de faute : Dans l'onglet **Faults** sélectionner **Set Fault Options**, cette fenêtre (voir Figure 3) permet de sélectionner le modèle de faute. Sélectionner le modèle **Stuck** ainsi que l'option **Uncollapsed** dans **Report**.

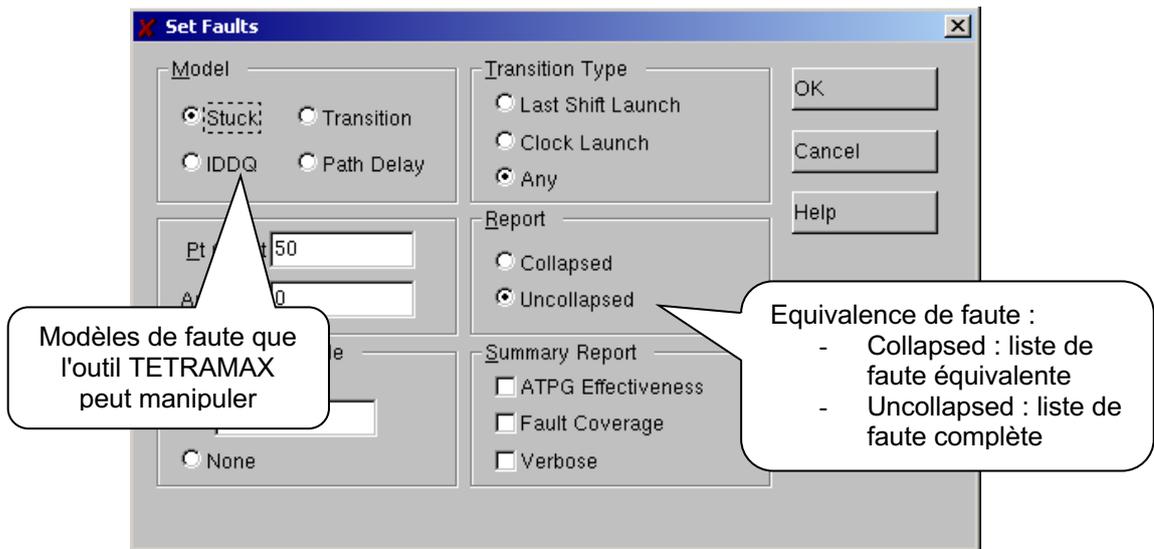


Figure 3 : Options de la liste de fautes

- Génération de liste de faute : Dans le menu **Faults**, sélectionner **Add Faults**, cette option permet de créer une liste de faute de différente manière. La plus rapide consiste à choisir l'option **All** (toute les fautes sont considérées). Le nombre de faute s'affiche sur la fenêtre principale, comparer ce résultat au résultat obtenu dans la partie théorique. Toujours dans le menu **Faults**, vous pouvez visualiser la liste de faute avec **Report Faults**. **Remove Faults** permet de supprimer la liste de faute Recommencer les étapes précédentes avec l'option **Collapsed**. Comparer les résultats avec ceux de la partie théorique.
- Génération de vecteur de test : Utiliser le bouton **ATPG** qui ouvrira la fenêtre présentée sur la Figure 4. A partir de l'onglet **General ATPG Setting**, vous pouvez réaliser la majorité des générations de vecteurs de test. Choisissez le mode automatique en cliquant sur le bouton **Auto**. Dans ce cas, l'outil de génération adapte les différentes contraintes afin d'obtenir une séquence de vecteur de test permettant d'atteindre un taux de couverture de faute maximal. Sur la fenêtre principale, vous pouvez relever le taux de couverture et le nombre de vecteur de test nécessaire pour tester votre circuit.

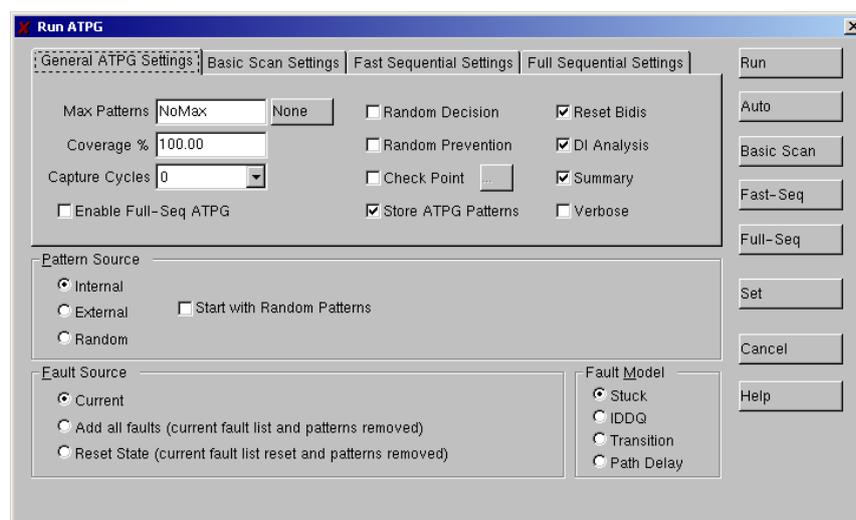


Figure 4 : La génération de vecteur de test

- Séquence de vecteurs : Dans le menu **Patterns**, choisir **Report Patterns** afin de visualiser la liste des vecteurs de test (voir Figure 5). Vérifier que vous obtenez les mêmes résultats que l'outil de test.

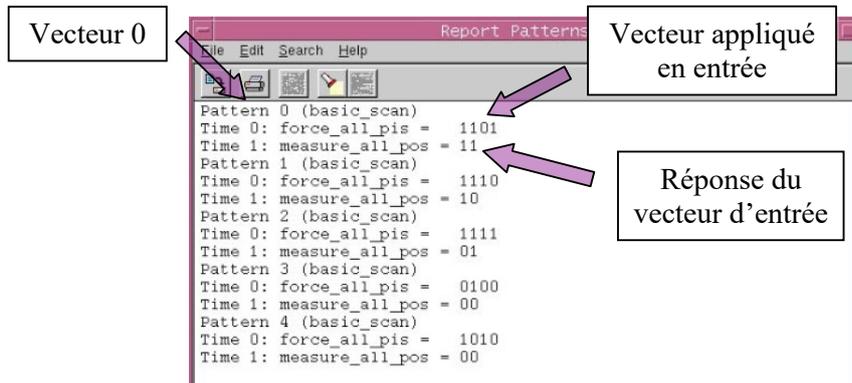


Figure 5 : Séquence de test

- Chemin de l'effet de faute : Dans le menu de gauche cliquer sur **ANALYSE**, ensuite sur l'onglet **Faults** la fenêtre (c.f. Figure 6) s'ouvre. Dans cette exemple on souhaite analyser pas à pas le test du collage à 0 de l'entrée B de la porte 3 (**porte\_3/B Stuck at 0**). Cliquer sur **OK**, vous pouvez voir sur la fenêtre principal (Figure 7) le chemin parcouru par l'effet de faute et les valeurs à appliquer sur les entrées des portes logiques pour propager cette effet de faute. Pour passer à l'étape de **JUSTIFICATION**, il suffit de cliquer sur les petits losanges qui se trouvent sur les entrées des portes logiques.

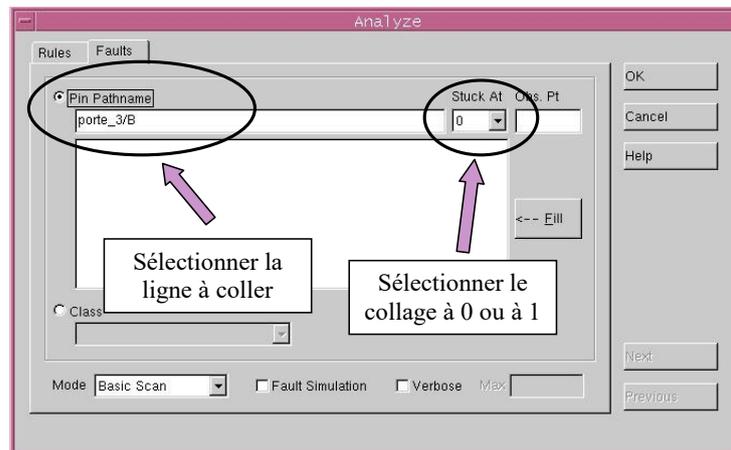


Figure 6 : Fenêtre d'analyse de faute

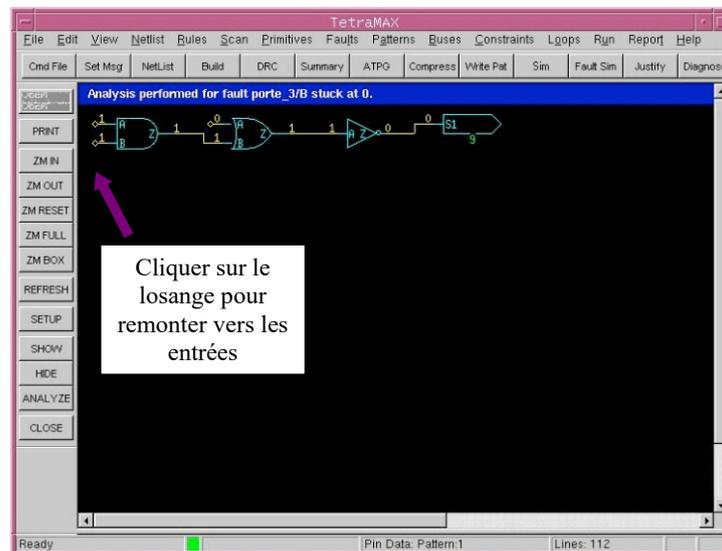


Figure 7 : Fenêtre d'analyse de faute

## Exercice 2 :

Refaire les mêmes manipulations en utilisant le circuit de la Figure 8.

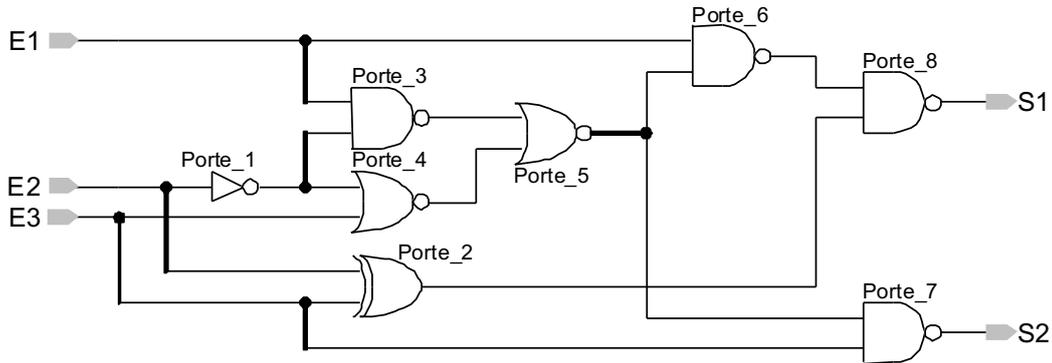


Figure 8 : Exercice 2

## Exercice 3 : Test d'un circuit séquentiel

Le but du test d'un circuit séquentiel est le même que celui d'un circuit combinatoire, trouver les vecteurs de test pour vérifier le circuit. Dans cette partie, on utilisera des bascules D dans les circuits séquentiels. Deux techniques seront utilisées pour le test: la technique *sans DfT* et la technique *SCAN*.

Dans cette partie, vous aurez besoin d'une nouvelle bibliothèque (bibliothèque séquentiel). Pour accéder à cette bibliothèque, copiez le fichier *lib\_seq.v* qui se trouve au même endroit que la bibliothèque combinatoire. Comme dans le cas de la bibliothèque combinatoire, vous devez lire le fichier *lib\_seq.v* en utilisant *NetList* et en cochant *Library Modules*. De plus, comme le circuit est séquentiel, par conséquent possède une horloge, vous devez indiquer au logiciel le nom de l'entrée d'horloge. Pour cela, cliquer sur l'onglet *Scan* puis *Clocks* et *Add Clocks*,

Dans cette partie nous considérerons le circuit suivant (Figure 9).

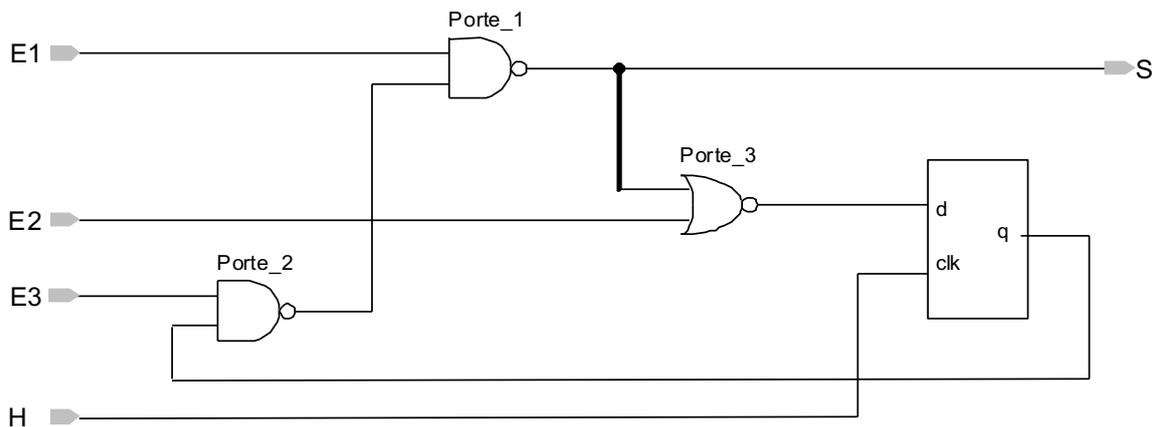


Figure 9: Exercice 3 de circuit séquentiel

### 3.1 Technique sans DfT

#### QUESTIONS :

- Déterminer les stimuli à appliquer en entrée pour tester le collage à 0 de l'entrée A de la Porte\_3. Détailler les étapes Sensibilisation, Propagation et Justification.

Test avec l'outil TETRAMAX :

- Ecrire la description Verilog du circuit de la Figure 10
- Comme vu précédemment pour le circuit combinatoire, lire les deux bibliothèques *lib\_comb.v* et *lib\_seq.v* en utilisant l'option *Library Modules*.
- Lire la description Verilog du circuit.
- Compilation du circuit avec *Built*
- Crée l'horloge avec l'onglet *Scan* (Figure 9)
- Vérification des règles DRC avec le bouton *DRC*
- Génération des vecteurs de test avec le bouton *ATGP*.

### 3.2 Technique SCAN

QUESTIONS :

- Faire le schéma du circuit de manière à utiliser la technique SCAN
- Déterminer les stimuli à appliquer pour tester le collage à 0 de l'entrée A de la Porte\_3.

Test avec l'outil TETRAMAX :

- Lire les bibliothèques combinatoires et séquentielles ainsi que le circuit
- Compiler le circuit
- Indiquer le nom de l'horloge
- Vérifier les règles DRC
- Utiliser le menu *SCAN* puis *Set Scan Ability*, cette option vous permet de sélectionner le nombre de bascule que vous voulez insérer dans la chaîne de Scan. Ceci vous permet d'obtenir un SCAN partiel ou un SCAN complet. Il sera utilisé dans la suite du TP le SCAN complet.
- Générer les vecteurs de test

### 3.3 Application sur le circuit s510

L'objectif de cette partie du TP va consister à tester ce circuit en utilisant différentes techniques de DfT.

- Testez ce circuit dans sa version d'origine, c'est-à-dire, sans utilisation de DfT.
- Transformez les bascules en bascule reset et testez le circuit à nouveau.
- Transformez les bascules en bascule set et reset avec entrée de commande indépendante par bascule et testez le circuit à nouveau.
- Finalement, utilisez la technique de SCAN complet.